

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

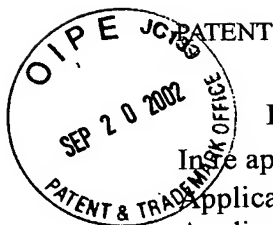
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Customer No. 31561
Attorney Docket No.: 09407-US-PA

1772

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of
Applicant : Kwun-Yao Ho et al.
Application No. : 10/064,424
Filed : 2002/7/12
For : HIGH DENSITY LAMINATED SUBSTRATE
STRUCTURE AND MANUFACTURE METHOD THEREOF
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

#2

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91111329,
filed on: 2002/5/28.

A return prepaid postcard is also included herewith.

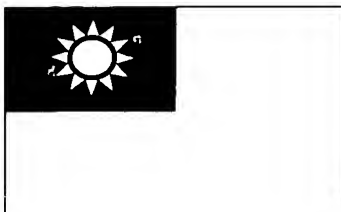
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Sept 17, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

RECEIVED
OCT 20 1992
TC 1700 MAIL ROOM



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 05 月 28 日
Application Date

申請案號：091111329
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 8 月 02 日
Issue Date

發文字號：09111014601
Serial No.

TC 1700 MAIL ROOM
SEP 23 2002

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 名稱	中 文	高積集度積層基材結構及其製造方法
	英 文	
二、發明 創作人	姓 名	1 何昆耀 2 宮振越
	國 籍	中華民國
	住、居所	1 台北縣新店市中正路 533 號 8 樓 2 台北縣新店市中正路 533 號 8 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

四、中文發明摘要(發明之名稱：)

高積集度積層基材結構及其製造方法

一種積層基材結構，係由多個介電層以及多個線路層交互堆疊構成。其中，介電層中具有多個導通孔，而線路層係藉由介電層中的導通孔而彼此電性連接，本實施例之積層基材結構的特徵在於介電層之間的線路層圖案為與傳統的孔環墊設計不同，而採取黏著力較佳之高信賴度的嵌入式結構設計無導通孔環墊。本發明亦提出一種積層基材的製造方法，係先進行具有圖案化線路之介電層以及具有導通孔之介電層的製作，當具有圖案化線路之介電層以及具有導通孔之介電層製作完成之後，再將其同步進行對位並壓合以完成積層基材的製作。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(|)

本發明是有關於一種積層基材(laminated substrate)結構及其製造方法，且特別是有關於一種封裝基材或是印刷電路板結構及其製造方法。

由於電子科技的進步及需求，各種電子相關產品無不向小型化、高密度化的方向研發。以封裝的領域而言，球格陣列封裝(Ball Grid Array, BGA)、晶片尺寸封裝(Chip Scale Package, CSP)等技術的研發，皆取向市場對小型化與高密度化產品的需求。而在印刷電路板方面，為了縮小整個印刷電路板的線路面積，也應用了多層結構的技術。然而，無論是用於球格陣列封裝、晶片尺寸封裝中的封裝的基材或是印刷電路板(PCB)的製作，都無法避免使用導體材質之導通孔作為各層線路之間的連接。因此，積層基材上的細線路以及小尺寸之導通孔將可使得封裝之密度以及印刷電路板的積集度更為提昇。

習知的積層基材的製造方法主要可分為層壓製程(Lamination Process)以及增層製程(Build Up Process)兩類。層壓製程係先提供多個絕緣層，接著於絕緣層的表面製作線路層，並於各絕緣層上進行鑽孔、電鍍、塞孔製程以製作出具有電鍍導通孔(Plating Through Hole, PTH)，以使得絕緣二表面上的線路層可藉由導通孔製程所形成之電鍍導通孔達到電氣連接。在各絕緣層製作導通孔完成之後，另接著在壓合後的表面銅層上製作導電線路，爾後藉著重覆將既定數量之絕緣層與表面銅層對位並壓合成積層基材並製作導電線路等繁雜製程完成基板或電路板。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

以習知的層壓製程製造積層基材時，必須在絕緣層上進行導通孔製作、電鍍導通孔以及絕緣材質的塞孔動作，其製程較為繁瑣且耗時。此外，在絕緣層之通孔尺寸接近 100 微米的情況下，其製程難度與單位成本將大幅的增加，而在通孔尺寸小於 100 微米的情況下，業界尚無法推出量產產品。因此，電鍍導通孔在小於 100 微米的情況下將面臨量產技術瓶頸的問題。

除了層壓製程之外，增層製程亦廣為業界所使用。顧名思義，增層製程主要是將介電層、介電層中的層間導通孔以及介電層表面上之線路層由下往上依序製作，以構成積層基材。其中，積層基材中的介電層主要以壓合、塗布等方式形成，在介電層形成之後，藉由影像形成/蝕刻製程或雷射/電漿蝕刻等方式於介電層中形成開口(opening)，並將導體材質填入開口中或以電鍍等方法形成層間導通孔，而在層間導通孔製作完成之後，再於介電層表面上進行困難的化學表面處理及線路層的製作。重複上述繁雜、困難的介電層、層間導通孔及化學表面處理與線路層的製作步驟即可製造出積層基材。

以增層製程製作之積層基材中，各介電層與線路層必須由下往上依序製作，使得整個製程過於冗長，且每一層介電層及線路層的製作良窳都會直接影響整個積層基材的良率，故製程良率控制不易。以增層法製造積層基材時，除了會有製程過於冗長及製程良率低的問題之外，亦有製程成本高及設備投資成本大或有時因製程控制不易產生可

五、發明說明(3)

靠度降低等問題。

第 1 圖繪示為習知積層基材結構中線路層與導通孔接觸位置具有導通孔環墊(via land)之示意圖。請參照第 1 圖，線路 100a 以及導通孔環墊 102a 係藉由一介電層（未繪示）與線路 100b 以及導通孔環墊 102b 間隔。其中，導通孔環墊 102a、102b 的尺寸(dimension)同常會設計的比線路 100a、100b 之線寬(linewidth)大，以確保兩層線路層(circuit layer)之間能夠藉由介電層中的導通孔 104 電性連接。然而，導通孔環墊 102a 與導通孔環墊 102b 通常會使得線路層的佈局(layout)空間降低，導致積層基材中之線路積集度無法有效提昇。

因此，本發明的目的在提出一種積層基材結構，其線路層與導通孔接觸位置採用無導通孔環墊設計(landless design)，以增進積層基材中之線路積集度。

本發明的目的在提出一種積層基材結構，其具有良好的電氣表現(electrical performance)及散熱表現(thermal performance)。

本發明的目的在提出一種積層基材製造方法，其具有高製程良率、高產能、製造方法簡易、高積集度及製造成本低之特點。

為達本發明之上述目的，提出一種積層基材結構，係由多個介電層以及多個線路層交互堆疊構成。其中，介電層中具有多個導通孔，而線路層係藉由介電層中的導通孔而彼此電性連接，本實施例之積層基材結構的特徵在於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

介電層之間的線路層圖案為無導通孔環墊設計。無導通孔環墊設計之線路層圖案可以有效地增進積層基材中之線路積集度。

本發明之積層基材結構中，更包括至少一鉚墊開口層配置於最外側之二介電層上。其中，鉚墊開口層具有多個開口對應於二最外側介電層中的導通孔，而視需求施以鉚墊開口層例如為一介電層或是一防鉚罩層(solder mask)或不需施加此層。

為達本發明之上述目的，提出一種積層基材製造方法，係先進行具有圖案化線路之介電層以及具有導通孔之介電層的製作，當具有圖案化線路之介電層以及具有導通孔之介電層製作完成之後，再將其對位並壓合以完成積層基材的製作。其中，具有圖案化線路之介電層以及具有導通孔之介電層之間例如是以真空熱壓合的方式進行壓合。此外，在具有圖案化線路之介電層與具有導通孔之介電層對位並壓合之後，例如可進行一固化步驟(curing)，以將具有圖案化線路之介電層以及具有導通孔之介電層中的介電材質固化。

為達本發明之上述目的，提出一種積層基材製造方法，係先進行具有圖案化線路之介電層、具有導通孔之介電層以及選擇性施加鉚墊開口層的製作，當具有圖案化線路之介電層、具有導通孔之介電層以及鉚墊開口層製作完成之後，再將其對位並壓合以完成積層基材的製作。其中，具有圖案化線路之介電層以及具有導通孔之介電層之間例

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

如是以真空熱壓合的方式進行壓合。此外，在具有圖案化線路之介電層與具有導通孔之介電層對位並壓合之後，例如可進行一固化步驟(curing)，以將具有圖案化線路之介電層以及具有導通孔之介電層中的介電材質固化並於適當的導通線路位置上完成電氣導通。

本發明係先提供一第一支撐體，接著於第一支撐體上形成一圖案化線路，最後於第一支撐體上形成一第一介電層以覆蓋住圖案化線路，如此即可於第一支撐體上形成具有圖案化線路之介電層。

本發明係先提供一第二支撐體，接著於第二支撐體上形成多個導通孔柱，最後於第二支撐體上形成一第二介電層，其中導通孔柱係突出於第二介電層之表面，如此即可於第二支撐體上完成具有導通孔柱之介電層。

本發明之圖案化線路例如係以金屬蝕刻(metal etching)、圖案化電鍍(pattern plating)、半加成法(semi-additive)，或是全加成法(full-additive)等方式形成。此外，第一介電層以及第二介電層例如係以塗佈、噴塗或粘合的方式形成。

本發明鐸墊開口層中的開口的例如係以機械鑽孔、雷射鑽孔、沖孔(punch)的方式形成。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

五、發明說明 (6)

第 1 圖繪示為習知積層基材結構中線路層與導通孔接觸位置具有導通孔環墊之示意圖；

第 2A 圖至第 2D 圖繪示為依照本發明第一實施例積層基材中具有圖案化線路之介電層的製作流程剖面示意圖；

第 3A 圖至第 3D 圖繪示為依照本發明第一實施例積層基材中具有導通孔之介電層的製作流程剖面示意圖；

第 4A 圖及第 4B 圖繪示為依照本發明第一實施例積層基材中鉚墊開口層(pad opening layer)之製作流程剖面示意圖；

第 5A 圖及第 5B 圖繪示為依照本發明第一實施例積層基材進行壓合之流程剖面示意圖；

第 6A 圖至第 6D 圖繪示為依照本發明第二實施例積層基材中具有圖案化線路之介電層之製作流程剖面示意圖；以及

第 7 圖繪示為依照本發明第一實施例及第二實施例基材結構中線路層與導通孔柱接觸位置具有無導通孔環墊設計(landless design)之示意圖。

圖式之標示說明：

100a、100b、700a、700b：線路

102a、102b：導通孔環墊

104、702：導通孔

200：具有圖案化線路之介電層

202、302、602：支撐體

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明（ 7 ）

204、304、604、608：導體層

204a、608a：圖案化線路

206、306、606：圖案化光阻

208、308、610：介電層

300：具有導通孔柱之介電層

304a：導通孔柱

400：介電層

400a：鉅墊開口層

402、607：開口

第一實施例

第 2A 圖至第 2D 圖繪示為依照本發明第一實施例積層基材中具有圖案化線路之介電層的製作流程剖面示意圖。本實施例積層基材中圖案化線路例如係以金屬蝕刻、圖案化電鍍、半加成法，或是全加成法形成。本實施例以金屬蝕刻方式進行說明。首先請參照第 2A 圖，提供一支撐體(supporter)202，接著再於支撐體 202 上形成一導體層 204。其中，導體層 204 之材質例如為銅(Copper)，而導體層 204 例如係以濺鍍(sputtering)、壓合附著或是沈積(deposition)的方式形成於支撐體 202 上。

接著請同時參照第 2B 圖與第 2C 圖，接著於導體層 204 上形成一圖案化光阻 206，圖案化光阻 206 係用以定義其下導體層 204 之圖案。其中，圖案化光阻 206 例如是經過光阻塗佈、曝光、顯影等步驟而形成於導體層 204 上。在圖案化光阻 206 形成之後，以圖案化光阻 206 為遮 (mask)

五、發明說明(8)

蝕刻其下之導體層 204，將未受圖案化光阻 206 覆蓋之導體層 204 移除，以形成圖案化線路 204a。之後，再將圖案化光阻 206 剝除。

接著請參照第 2D 圖，在形成圖案化線路 204a 之後，接著形成一介電層 208 於支撐體 202 上，並覆蓋住圖案化線路 204a。其中，圖案化線路 204a 以及介電層 208 即構成一具有嵌入式的圖案化線路之介電層 200。

第 3A 圖至第 3D 圖繪示為依照本發明第一實施例積層基材中具有導通孔柱之介電層的製作流程剖面示意圖。首先請參照第 3A 圖，提供一支撐體 302，接著再於支撐體 302 上形成一導體層 304。其中，導體層 304 之材質例如為銅，而導體層 304 例如係以濺鍍、壓合附著或是沈積的方式形成於支撐體 302 上。

接著請同時參照第 3B 圖與第 3C 圖，接著於導體層 304 上形成一圖案化光阻 306，圖案化光阻 306 例如係用以定義其下導體層 304 之圖案。其中，圖案化光阻 306 例如是經過光阻塗佈、曝光、顯影等步驟而形成於導體層 304 上。在圖案化光阻 306 形成之後，以圖案化光阻 306 為遮罩蝕刻其下之導體層 304，將未受圖案化光阻 306 覆蓋之導體層 304 移除，以形成導通孔柱 304a。之後，再將圖案化光阻 306 剝除。

接著請參照第 3D 圖，在形成導通孔柱 304a 之後，接著形成一介電層 308 於支撐體 302 上，並覆蓋住導通孔柱 304a。其中，導通孔柱 304a 以及介電層 308 即構成一

五、發明說明(9)

具有導通孔柱之介電層 300。由第 3D 圖中可清楚得知，導通孔柱 304a 的尺寸可是製程需求而改變。

第 4A 圖及第 4B 圖繪示為依照本發明第一實施例積層基材中鐳墊開口層之製作流程剖面示意圖。請同時參照第 4A 圖與第 4B 圖，首先係提供一介電層 400，接著於介電層 400 中形成開口 402，以形成鐳墊開口層 400a。其中，鐳墊開口層 400a 中的開口 402 例如係以機械鑽孔、雷射鑽孔或是沖孔的方式形成。

第 5A 圖及第 5B 圖繪示為依照本發明第一實施例積層基材進行壓合之流程剖面示意圖。首先請同時參照第 5A 圖與第 5B 圖，將多個已製作完成之具有圖案化線路之介電層 200、具有導通孔柱之介電層 300 以及鐳墊開口層 400a 進行對位，如第 5A 圖所繪示。對位之後，將上述具有圖案化線路之介電層 200、具有導通孔柱之介電層 300 以及鐳墊開口層 400a 壓合，即完成積層基材的製作。其中，具有圖案化線路之介電層 200、具有導通孔柱之介電層 300 以及鐳墊開口層 400a 之間例如係藉由真空熱壓合的方式進行壓合。

同樣請參照第 5A 圖與第 5B 圖，在積層基材的製作過程中，鐳墊開口層 400a 為選擇性(optional)的構件。換言之，本實施例亦可僅將多個具有圖案化線路之介電層 200 以及多個具有導通孔柱之介電層 300 進行對位並壓合。如此一來，積層基材的製作過程將可省去鐳墊開口層 400a，使得整體製程更為簡化。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

第二實施例

本實施例在具有導通孔柱之介電層以及鍍墊開口層的製作上與第一實施例相同，但本實施例與第一實施例的差異之處在於具有圖案化線路之介電層的製作方式。

第 6A 圖至第 6D 圖繪示為依照本發明第二實施例積層基材中具有圖案化線路之介電層之製作流程剖面示意圖。首先請參照第 6A 圖，提供一支撐體 602，接著再於支撐體 602 上形成一導體層 604。其中，導體層 604 之材質例如為銅，而導體層 604 例如係以濺鍍、壓合附著或是沈積的方式形成於支撐體 602 上。

接著請同時參照第 6B 圖與第 6C 圖，接著於導體層 604 上形成一圖案化光阻 606，圖案化光阻 606 具有多個開口 607。其中，圖案化光阻 606 例如是經過光阻塗佈、曝光、顯影等步驟而形成於導體層 604 上。在圖案化光阻 606 形成之後，將導體層 608 填入圖案化光阻 606 之開口 607 中，由於開口 607 為一既定之圖案，故填入開口 607 中的導體層 608 會與上述之既定圖案一致。之後，再將圖案化光阻 606 剝除，以將其下的導體層 604 暴露。

接著請參照第 6C 圖與第 6D 圖，在圖案化光阻 606 剝除之後，接著例如進行一無選擇性微蝕刻的步驟，以將導體層 604 移除。在導體層 604 移除的過程中，導體層 608 亦會有部份厚度被蝕刻掉而形成圖案化線路 608a。在圖案化線路 608a 形成之後，接著形成一介電層 610 於支撐體 602 上，並覆蓋住圖案化線路 608a。其中，圖案化線路 608a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

以及介電層 610 即構成一具有圖案化線路之介電層 600。

上述第 6A 圖至第 6D 圖之製程，可於積層基材中進行細線路的製作，而此細線路製程（第 6A 圖至第 6D 圖）將可有效提昇積層基材中的線路密度，同時也對積層基材中線路層的佈局彈性有所助益。

第 7 圖繪示為依照本發明第一實施例及第二實施例基材結構中線路層與導通孔柱接觸位置具有無導通孔環墊設計(landless design)之示意圖。請參照第 7 圖，線路 700a 係藉由一介電層(未繪示)與線路 700b 相間隔，且線路 700a 與線路 700b 之間係藉由導通孔柱 702 而電性連接。

接著同時參照第 1 圖與第 7 圖，本實施例中，線路 700a 與線路 700b 係直接與導通孔柱 702 電性連接，並不需要習知的導通孔環墊 102a、102b 設計（繪示於第 1 圖）。因此，本實施例中線路層的佈局空間並不會受到導通孔環墊 102a、102b 的限制而降低。

綜上所述，本發明之積層基材結構及其製造方法至少具有下列優點：

1.本發明之積層基材結構中，線路層與導通孔接觸位置採用無導通孔環墊設計，可大幅增進積層基材中之線路積集度。

2.本發明之積層基材結構中，導通孔柱採用實心設計(solid via)，故具有良好的電氣表現及散熱表現。

3.本發明之積層基材製造方法中，僅需藉由圖案化製程(pattern process)及同步層壓的方式即可製作出積層基

五、發明說明(12)

材，故有製造時間可有效地縮短製造時間，進而提升產能。

4.本發明之積層基材製造方法中，僅需藉由圖案化製程(pattern process)及同步層壓的方式即可製作出積層基材，故可以省去習知在其他設備的投資。

5.本發明之積層基材製造方法中，在各層（具有圖案化線路之介電層、具有導通孔柱之介電層以及鉑墊開口層）進行層壓之前，可分別對各層進行確認，故積層基材的良率較容易控制並有效降低生產成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種積層基材結構，係由複數個介電層以及複數個線路層交互堆疊構成，每一該些介電層中具有複數個導通孔柱，而該些線路層係藉由該些導通孔柱而彼此電性連接，該積層基材結構之特徵在於：該些線路層之圖案為無導通孔環墊設計。

2.如申請專利範圍第 1 項所述之積層基材結構，更包括至少一鐸墊開口層，配置於該些介電層中最外側之二介電層上。

3.如申請專利範圍第 1 項所述之積層基材結構，其中該鐸墊開口層係為一介電層，且該介電層中具有複數個開口。

4.如申請專利範圍第 1 項所述之積層基材結構，其中該鐸墊開口層係為一鐸罩層，且該鐸罩層中具有複數個開口。

5.一種積層基材結構，包括：

複數個介電層，每一該些介電層中具有複數個導通孔柱；以及

複數個線路層，配置於該些介電層之間，該些線路層係藉由該些導通孔柱而彼此電性連接，其中該些介電層中最外側之二介電層內的該些導通孔柱係直接作為複數個鐸墊。

6.如申請專利範圍第 5 項所述之積層基材結構，其中該些線路層之圖案為無導通孔環墊設計。

7.如申請專利範圍第 5 項所述之積層基材結構，更包

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

括至少一鍍墊開口層，配置於該些介電層中最外側之二介電層上。

8.如申請專利範圍第 7 項所述之積層基材結構，其中該鍍墊開口層係為一介電層，且具有複數個開口。

9.如申請專利範圍第 7 項所述之積層基材結構，其中該鍍墊開口層係為一鍍罩層，且具有複數個開口。

10.一種積層基材製造方法，包括：

提供一第一支撐體；

於該第一支撐體上形成一圖案化線路；

於該第一支撐體上形成一第一介電層，該第一介電層覆蓋住該圖案化線路，以於該第一支撐體上形成一具有圖案化線路之介電層；

提供一第二支撐體；

於該第二支撐體上形成複數個導通孔柱；

於該第二支撐體上形成一第二介電層，該些導通孔柱係突出於該第二介電層，以於該第二支撐體上形成一具有導通孔柱之介電層；以及

將複數個具有圖案化線路之介電層與複數個具有導通孔柱之介電層對位並壓合，以使得些導通孔柱刺穿該第一介電層而與該圖案化線路電性連接。

11.如申請專利範圍第 10 項所述之積層基材製造方法，其中該些具有圖案化線路之介電層與該些具有導通孔柱之介電層對位並壓合之後，更包括進行一固化步驟，以將該第一介電層與該第二介電層固化並同時完成導電位置

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

之電氣導通連接。

12.如申請專利範圍第 10 項所述之積層基材製造方法，其中該圖案化線路的形成方法包括：

形成一導體層於該第一支撐體上；

形成一圖案化光阻於該導體層上；以及

以該圖案化光阻為遮罩，移除未被該圖案化光阻覆蓋之該導體層，以形成該圖案化線路。

13.如申請專利範圍第 10 項所述之積層基材製造方法，其中該圖案化線路的形成方法包括：

形成一第一導體層於該第一支撐體上；

形成一圖案化光阻於該導體層上，該圖案化光阻具有複數個開口；

形成一第二導體層於該些第二開口中；

移除該圖案化光阻；以及

移除未被該第二導體層覆蓋之該第一導體層，以形成該圖案化線路。

14.如申請專利範圍第 10 項所述之積層基材製造方法，其中該第一介電層係以塗佈方式形成。

15.如申請專利範圍第 10 項所述之積層基材製造方法，其中該些導通孔柱的形成方法包括：

形成一導體層於該第二支撐體上；

形成一圖案化光阻於該導體層上；以及

以該圖案化光阻為遮罩，移除未被該圖案化光阻覆蓋之該導體層，以形成該些導通孔。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

16.如申請專利範圍第 10 項所述之積層基材製造方法，其中該第二介電層係以塗佈方式形成。

17.如申請專利範圍第 10 項所述之積層基材製造方法，其中該些具有圖案化線路之介電層與該些具有導通孔柱之介電層的壓合係為真空熱壓合。

18.一種積層基材製造方法，包括：

提供一第一支撐體；

於該第一支撐體上形成一圖案化線路；

於該第一支撐體上形成一第一介電層，該第一介電層覆蓋住該圖案化線路，以於該第一支撐體上形成一具有圖案化線路之介電層；

提供一第二支撐體；

於該第二支撐體上形成複數個導通孔柱；

於該第二支撐體上形成一第二介電層，該些導通孔柱係突出於該第二介電層，以於該第二支撐體上形成一具有導通孔柱之介電層；

提供至少一鐸墊開口層，該鐸墊開口層具有複數個開口；以及

將複數個具有圖案化線路之介電層、複數個具有導通孔柱之介電層以及該鐸墊開口層對位並壓合，以使得些導通孔柱刺穿該第一介電層而與該圖案化線路電性連接。

19.如申請專利範圍第 18 項所述之積層基材製造方法，其中該些具有圖案化線路之介電層、該些具有導通孔柱之介電層以及該鐸墊開口層對位並壓合之後，更包括進

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

行一固化步驟，以將該第一介電層與該第二介電層固化並同時完成導電位置之電氣導通連接。。

20.如申請專利範圍第 18 項所述之積層基材製造方法，其中該圖案化線路的形成方法包括：

形成一導體層於該第一支撐體上；

形成一圖案化光阻於該導體層上；以及

以該圖案化光阻為遮罩，移除未被該圖案化光阻覆蓋之該導體層，以形成該圖案化線路。

21.如申請專利範圍第 18 項所述之積層基材製造方法，其中該圖案化線路的形成方法包括：

形成一第一導體層於該第一支撐體上；

形成一圖案化光阻於該導體層上，該圖案化光阻具有複數個開口；

形成一第二導體層於該些第二開口中；

移除該圖案化光阻；以及

移除未被該第二導體層覆蓋之該第一導體層，以形成該圖案化線路。

22.如申請專利範圍第 18 項所述之積層基材製造方法，其中該第一介電層係以塗佈方式形成。

23.如申請專利範圍第 18 項所述之積層基材製造方法，其中該些導通孔柱的形成方法包括：

形成一導體層於該第二支撐體上；

形成一圖案化光阻於該導體層上；以及

以該圖案化光阻為遮罩，移除未被該圖案化光阻覆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

蓋之該導體層，以形成該些導通孔柱。

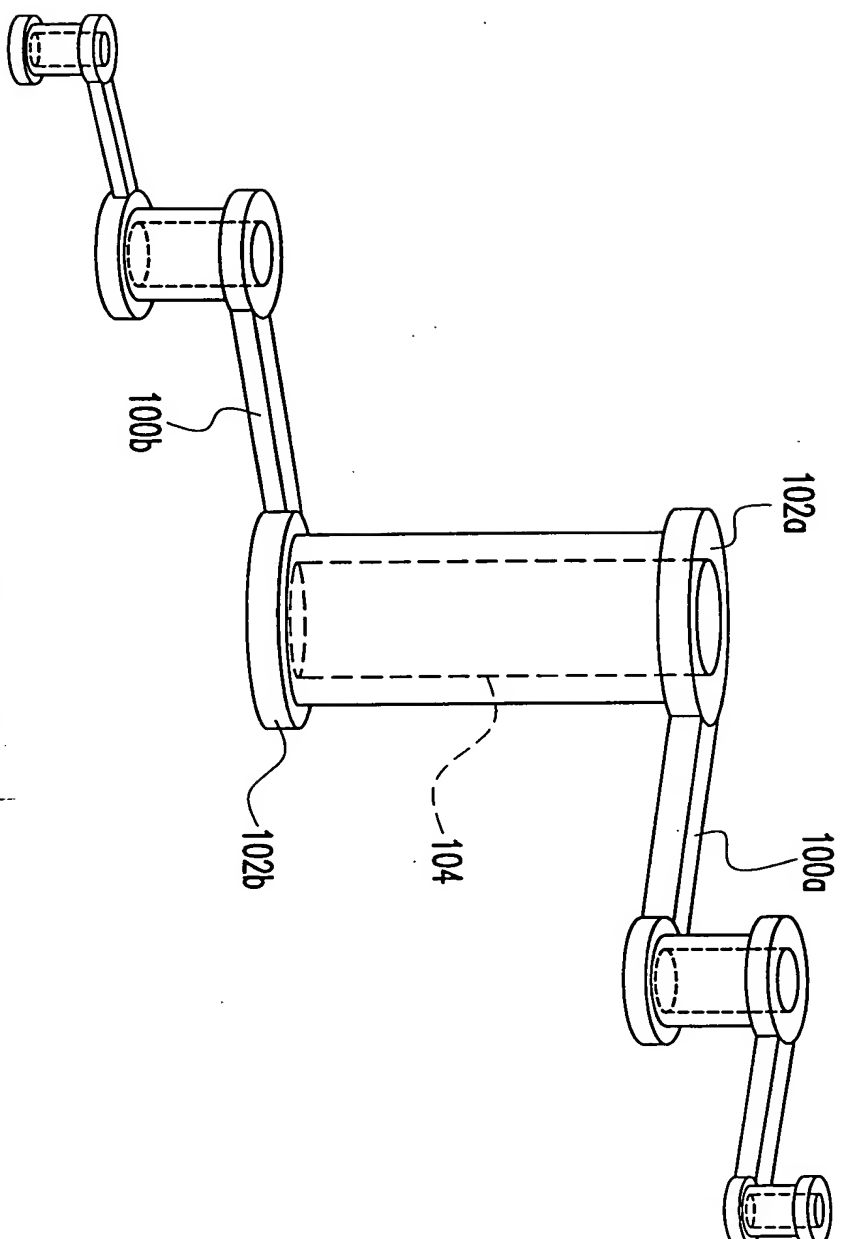
24.如申請專利範圍第 18 項所述之積層基材製造方法，其中該第二介電層係以塗佈方式形成。

25.如申請專利範圍第 18 項所述之積層基材製造方法，其中該些具有圖案化線路之介電層、該些具有導通孔柱之介電層以及該鉚墊開口層的壓合係為真空熱壓合。

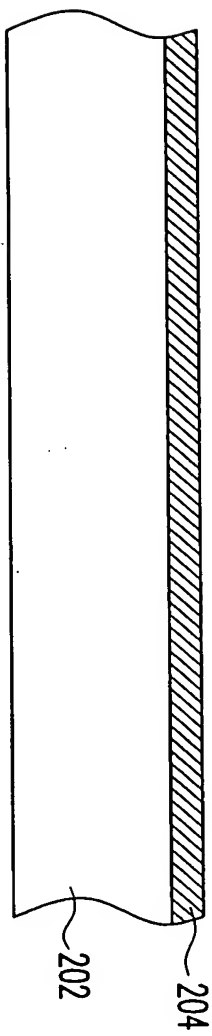
26.如申請專利範圍第 18 項所述之積層基材製造方法，其中該些開口的形成方法包括機械鑽孔、雷射鑽孔、沖孔。

(請先閱讀背面之注意事項再填寫本頁)

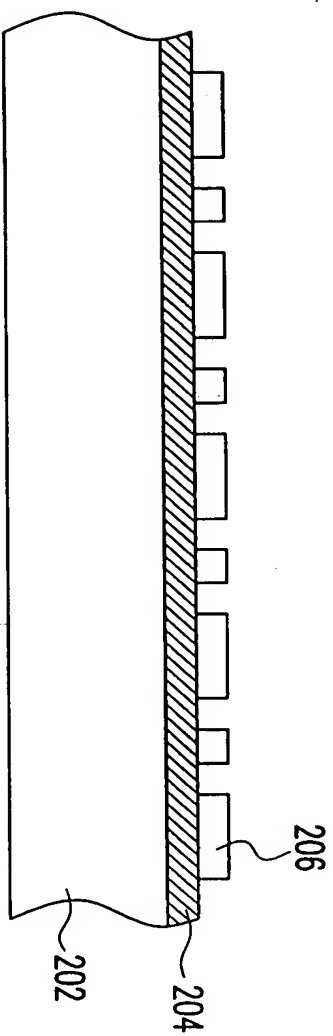
裝
訂
線



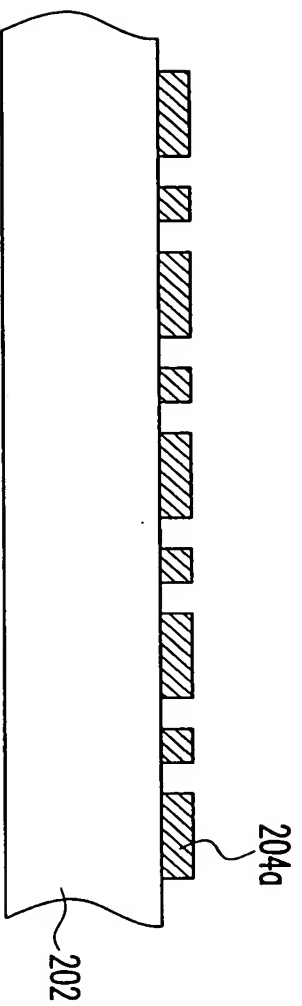
第 1 圖



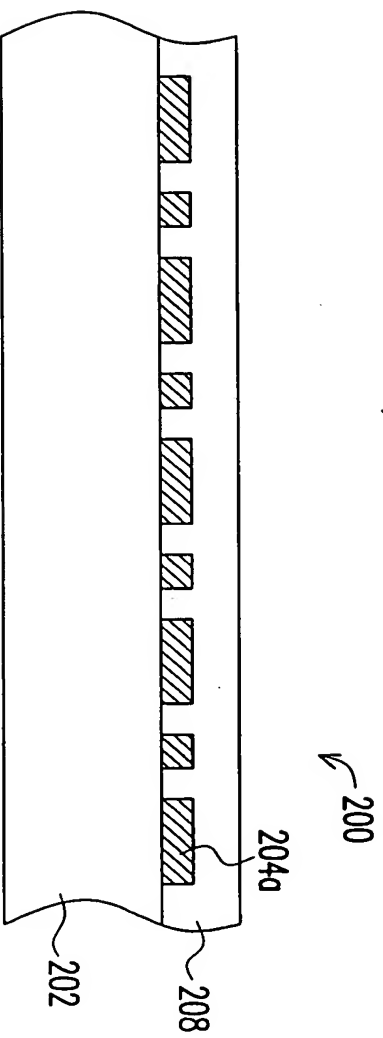
第2A圖



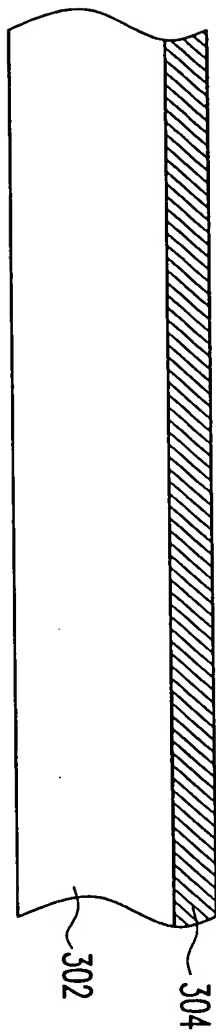
第2B圖



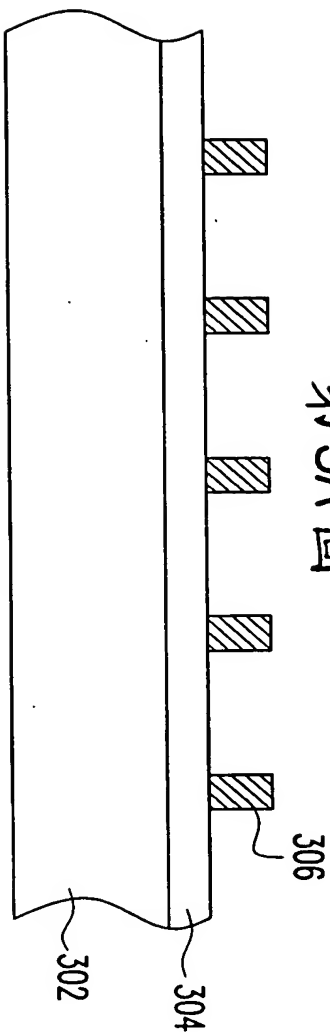
第2C圖



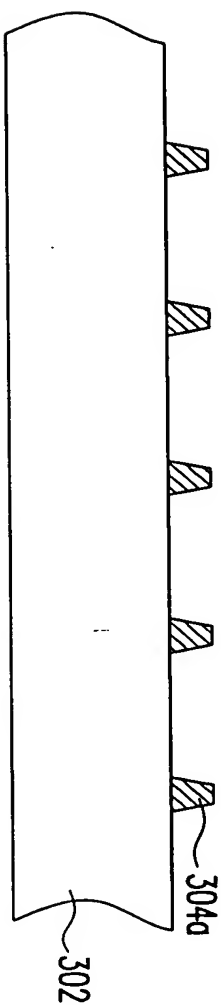
第2D圖



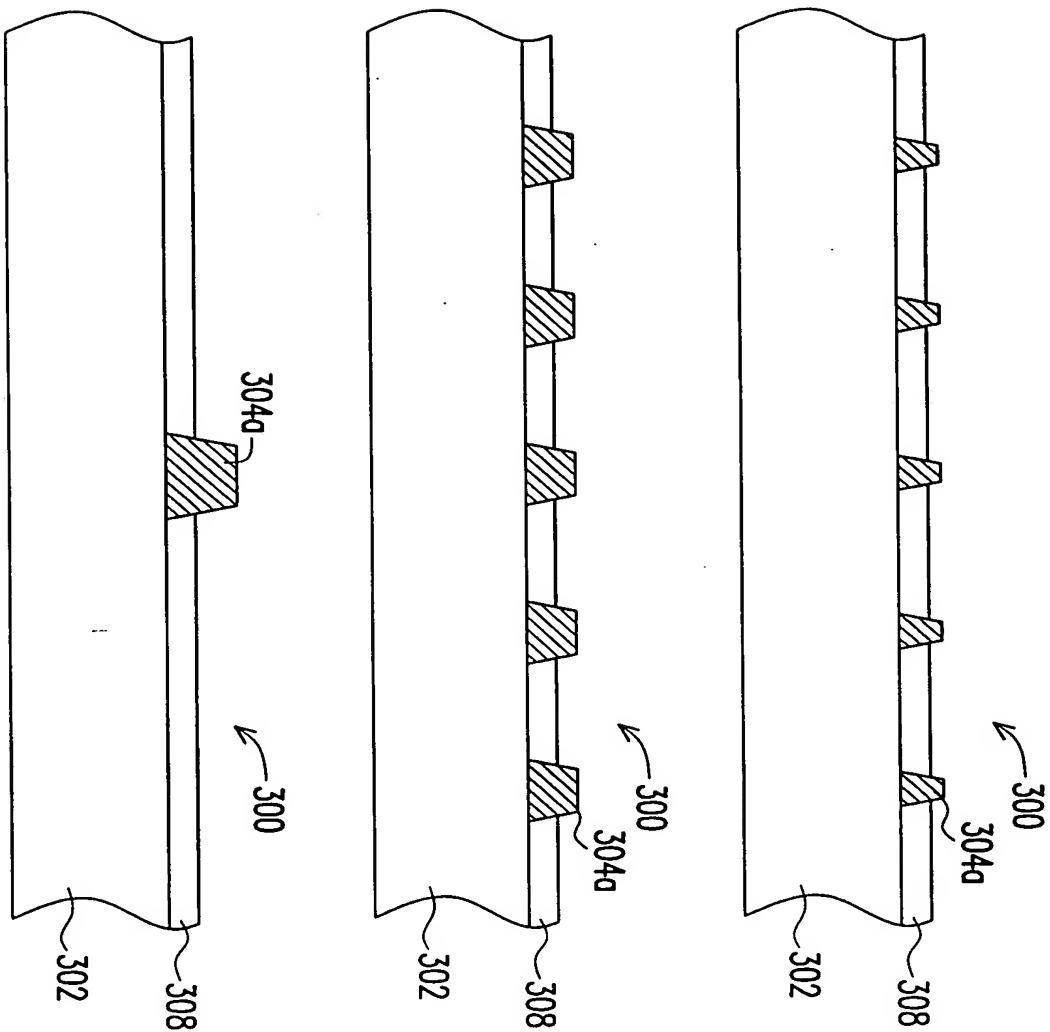
第3A圖



第3B圖



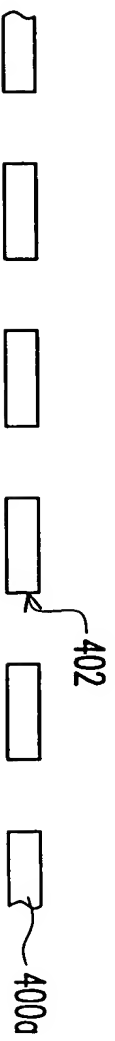
第3C圖



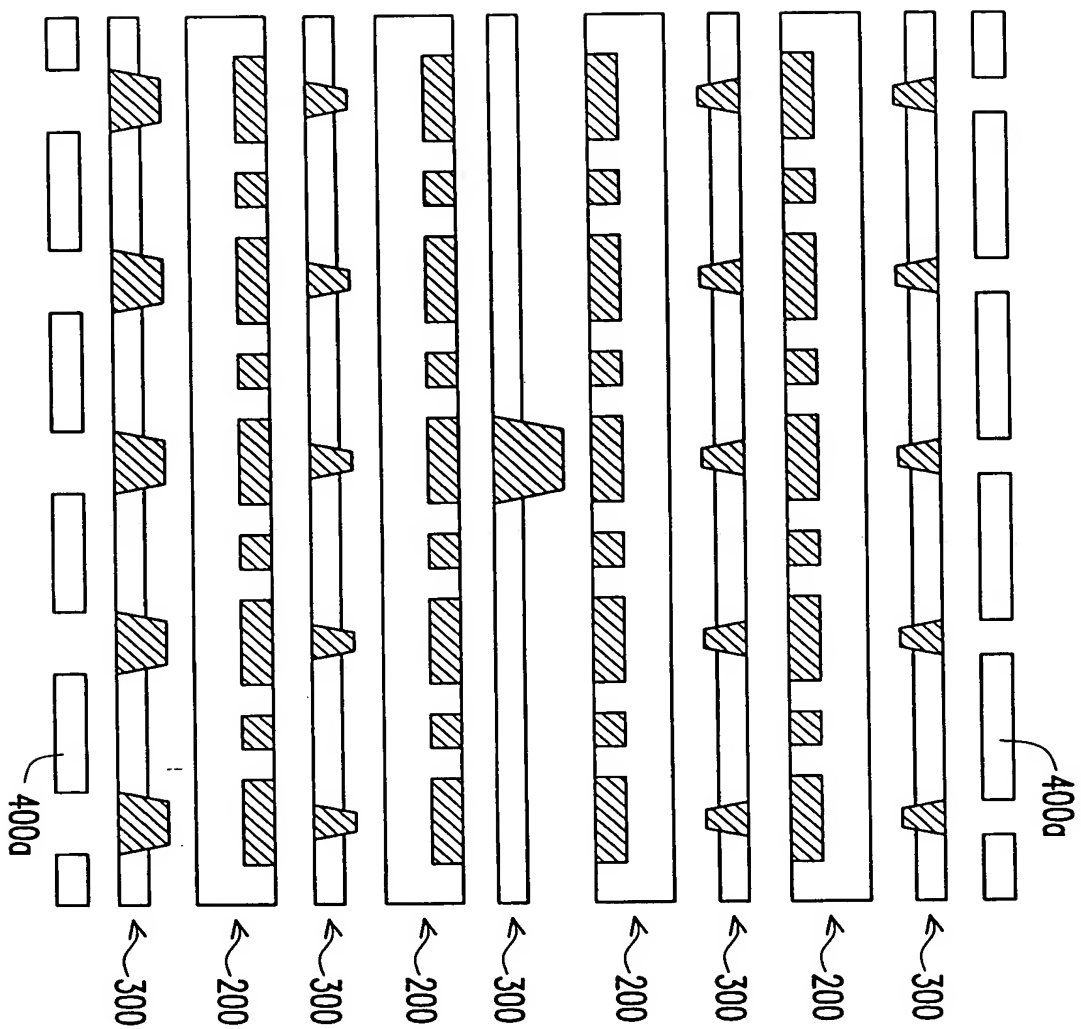
第3D圖



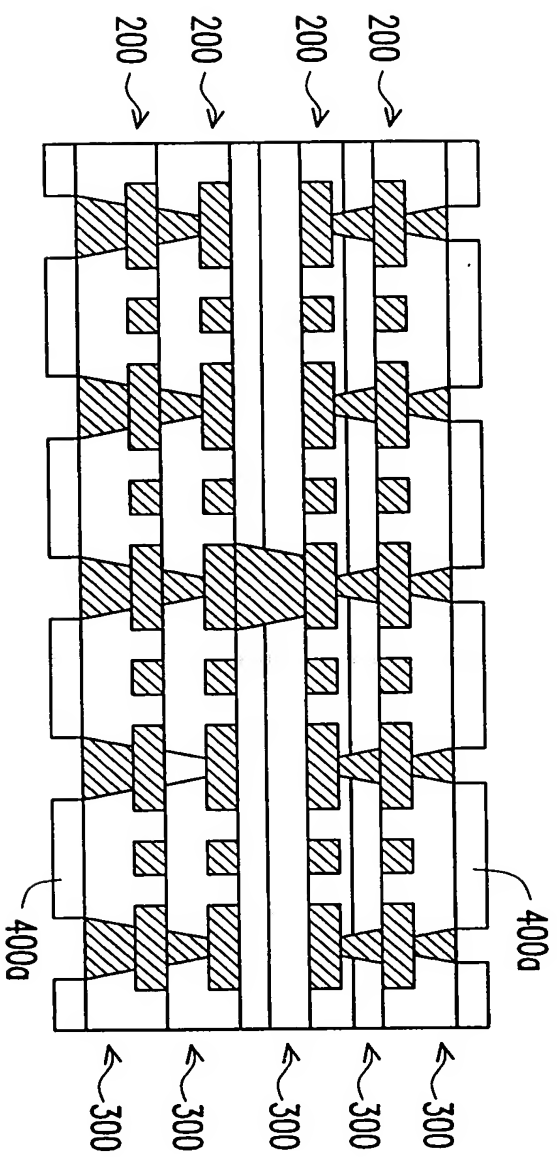
第4A圖



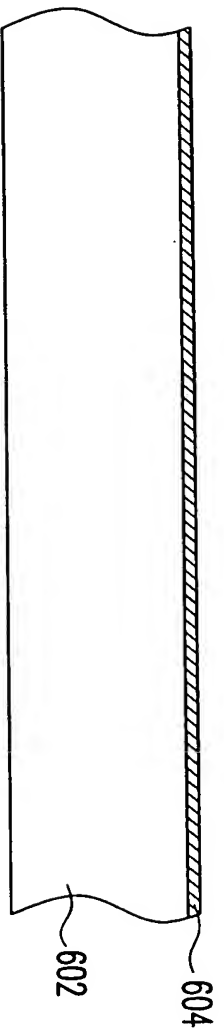
第4B圖



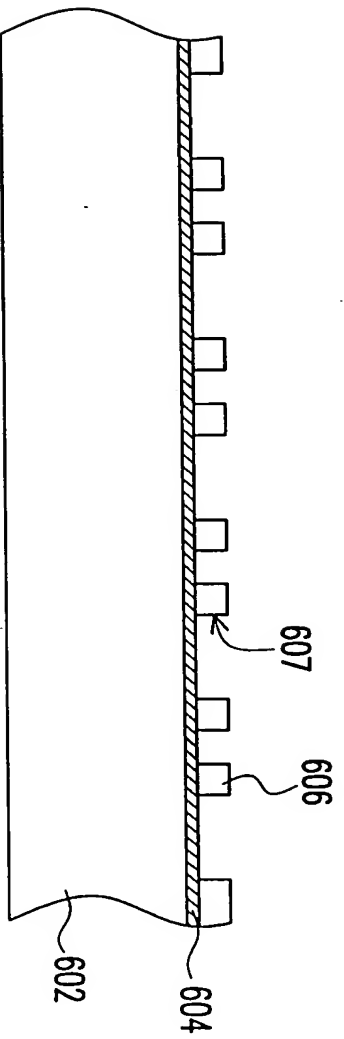
第 5A 圖



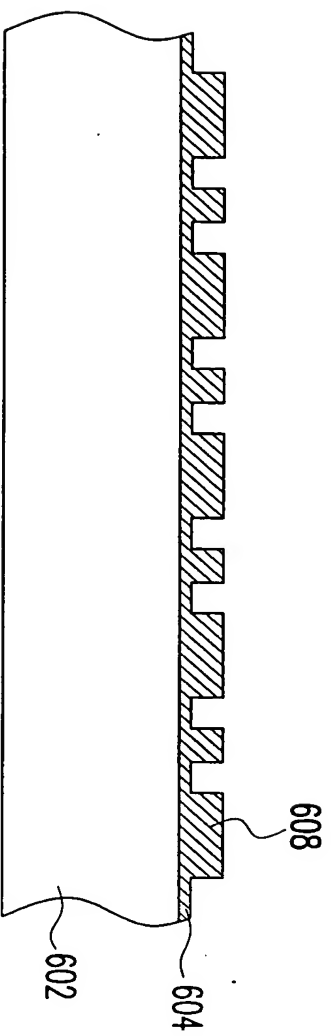
第 5B 圖



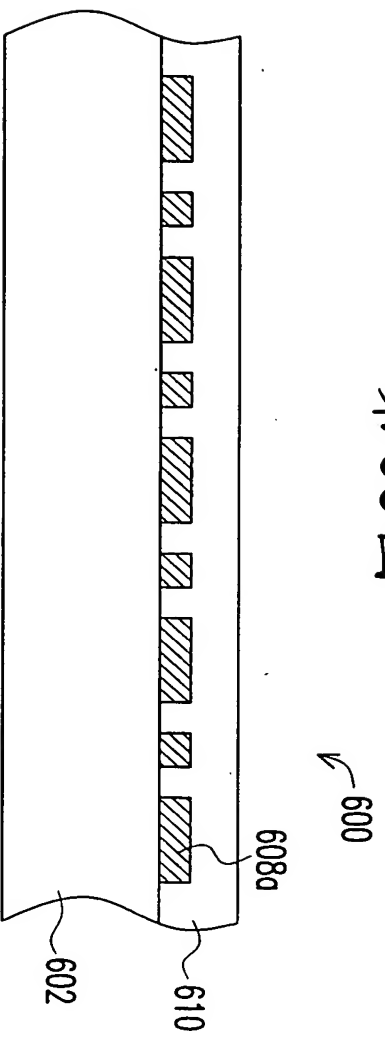
第6A圖



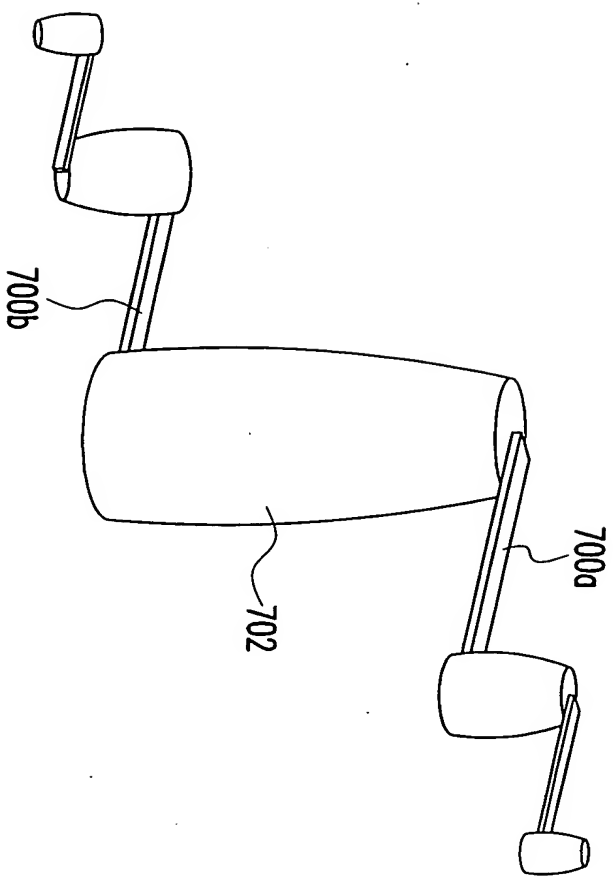
第6B圖



第6C圖



第6D圖



第7圖